

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re: Soo-Hyoung Lee
Serial No.: To Be Assigned
Filed: Concurrently Herewith
For: SYNCHRONIZING CIRCUITS AND METHODS FOR PARALLEL PATH
ANALOG-TO-DIGITAL CONVERTERS

October 20, 2003

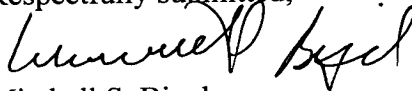
Mail Stop Patent Applications
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

SUBMITTAL OF PRIORITY DOCUMENT

Sir:

To complete the requirements of 35 U.S.C. § 119, enclosed is a certified copy of
Korean priority Application No. 10-2003-0008630, filed February 11, 2003.

Respectfully submitted,



Mitchell S. Bigel
Registration No. 29,614

Myers Bigel Sibley & Sajovec
PO Box 37428
Raleigh NC 27627
Tel (919) 854-1400
Fax (919) 854-1401
Customer No. 20792

CERTIFICATE OF EXPRESS MAILING

Express Mail Label No. EV 353592714 US
Date of Deposit: October 20, 2003

I hereby certify that this correspondence is being deposited with the United States Postal Service "Express
Mail Post Office to Addressee" service under 37 CFR § 1.10 on the date indicated above and is addressed to:
Mail Stop PATENT APPLICATION, Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450



Susan E. Freedman

Date of Signature: October 20, 2003

대한민국 특허청
KOREAN INTELLECTUAL
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2003-0008630
Application Number

출원년월일 : 2003년 02월 11일
Date of Application FEB 11, 2003

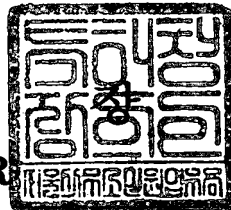
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 07 월 25 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】 특허출원서
【권리구분】 특허
【수신처】 특허청장
【제출일자】 2003.02.11
【발명의 명칭】 프로세스들간의 출력 동기가 보정된 다중 프로세스 A/D 컨버터
【발명의 영문명칭】 MULTI-PROCESS A/D CONVERTER IN WHICH OUTPUT SYNCHRONIZATION AMONG THE PROCESSES IS CORRECTED
【출원인】
【명칭】 삼성전자 주식회사
【출원인코드】 1-1998-104271-3
【대리인】
【성명】 박상수
【대리인코드】 9-1998-000642-5
【포괄위임등록번호】 2000-054081-9
【발명자】
【성명의 국문표기】 이수형
【성명의 영문표기】 LEE,S00 HYOUNG
【주민등록번호】 740115-1396726
【우편번호】 449-901
【주소】 경기도 용인시 기흥읍 농서리 7-1번지 마로니에동 407호
【국적】 KR
【심사청구】 청구
【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 박상수 (인)
【수수료】
【기본출원료】 20 면 29,000 원
【가산출원료】 0 면 0 원
【우선권주장료】 0 건 0 원
【심사청구료】 5 항 269,000 원
【합계】 298,000 원
【첨부서류】 1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 다중 프로세스 A/D 컨버터에 관한 것으로, 각 경로의 출력을 피드백시키고 위상을 검출함으로써 위상차이에 따라 서로 다른 지연시간을 갖는 지연된 클럭신호들을 발생시키고, 이 지연된 클럭신호들을 사용하여 각 경로의 출력을 보정하는 것을 특징으로 한다.

본 발명에 따른 다중 A/D 컨버터에 의하면, 지연된 클럭신호를 사용하여 신호가 클럭신호에 동기되어 생기는 오류 자체를 정정함으로써 각 경로의 출력을 보정하여 신호의 왜곡을 줄일 수 있다.

【대표도】

도 5

【명세서】**【발명의 명칭】**

프로세스들간의 출력 동기가 보정된 다중 프로세스 A/D 컨버터{MULTI-PROCESS A/D CONVERTER IN WHICH OUTPUT SYNCHRONIZATION AMONG THE PROCESSES IS CORRECTED}

【도면의 간단한 설명】

도 1은 다중 프로세스로 구성된 종래의 A/D 컨버터의 일례를 나타내는 블록도이다.

도 2는 폴딩/인터폴레이션 프로세스와 플래쉬 프로세스로 구성된 종래의 A/D 컨버터의 일례를 나타내는 블록도이다.

도 3은 도 2의 회로를 사용하여 동기화하는 과정을 설명하기 위한 도면이다.

도 4는 도 2의 동기회로를 구체적으로 나타낸 도면이다.

도 5는 다중 프로세스로 구성된 본 발명에 따른 A/D 컨버터의 일실시예를 나타내는 블록도이다.

도 6은 폴딩/인터폴레이션 프로세스와 플래쉬 프로세스로 구성된 본 발명에 따른 A/D 컨버터의 일실시예를 나타내는 블록도이다.

도 7은 도 6에 도시된 동기회로를 논리회로를 사용하여 구현한 일실시예를 나타내는 도면이다.

<도면의 주요부분에 대한 부호의 설명>

102, 104, 106, 502, 504, 506 : 프로세스

108, 110, 112, 206, 208, 508, 510, 512, 630, 640 : 비교기

114, 116, 118, 214, 514, 516, 518, 670 : 디코더

120, 210, 520, 650 : 클럭버퍼

122, 522, 660 : 동기회로

662, 666, 730 : 지연체인

664, 720 : 지연 제어회로

668, 710 : 위상 검출기

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<17> 본 발명은 A/D 컨버터에 관한 것으로, 특히 다중 프로세스로 구성된 A/D 컨버터에서 경로의 차이에 기인한 신호의 오류를 줄일 수 있고 출력신호들 간에 동기의 정정이 가능한 다중 프로세스 A/D 컨버터에 관한 것이다.

<18> 도 1은 다중 프로세스로 구성된 종래의 A/D 컨버터의 일례를 나타내는 블록도이다. 도 1에 도시된 A/D 컨버터는 아날로그 입력신호(SI)를 수신하고 복수의 프로세스(102, 104, 106)와 복수의 비교기(108, 110, 112)와 복수의 디코더(114, 116, 118)로 구성된 다중 경로를 통하여 디지털 신호로 변환하고 n 비트의 디지털 출력신호(DO[0:n-1])를 발생시킨다. 각 프로세스(102, 104, 106)에 연결된 비교기들(108, 110, 112)의 출력신호들(P01 내지 P0(N))은 A/D 변환된 디지털 신호들이다. 이 디지털 신호들은 동기회로(122)에서 비교되고 분석되어 동기화된

신호들(CS01 내지 CS0(N))을 발생시키고 각 프로세스에 대응하는 디코더(114, 116, 118)로 전송한다. 각 프로세스에 대응하는 디코더(114, 116, 118)들의 디지털 출력들(DO[0:i-1] 내지 DO[m:n-1])은 n 비트의 디지털 출력신호(DO[0:n-1])를 구성한다. 아날로그 입력신호(SI)가 서로 다른 경로를 지나는 동안에 서로 다른 시간지연과 서로 다른 신호왜곡이 발생한다. 그런데 도 1에 도시된 바와 같은 종래의 A/D 컨버터에서는 각 경로의 비교기들(108, 110, 112)과 디코더들(114, 116, 118)과 동기회로(122)가 동일한 내부 클럭신호(ICLK)에 의해 제어됨으로 인해 변환오류가 발생될 수 있다. 도 1에 도시된 종래의 동기회로(122)는 단순히 신호를 클럭에 동기시키는 래치의 기능을 하고 오류가 발생하면 오류를 정정하는 기능을 한다.

<19> 도 2는 폴딩/인터플레이션 프로세스와 플래쉬 프로세스로 구성된 종래의 A/D 컨버터의 일례를 나타내는 블록도이다. 도 2에 도시된 A/D 컨버터는 아날로그 입력신호(SI)를 수신하고 폴딩/인터플레이션 프로세스(202)와 플래쉬 프로세스(204)의 두 경로를 통하여 디지털 신호로 변환하고 원하는 수의 비트를 갖는 디지털 출력신호(DO)를 발생시킨다. 도 2의 A/D 컨버터에서 아날로그 입력신호(SI)가 서로 다른 경로를 지나는 동안에 서로 다른 시간지연과 서로 다른 신호왜곡이 발생한다. 그런데 도 2에 도시된 바와 같은 종래의 A/D 컨버터에서는 각 경로의 비교기들(206, 208)과 디코더(214)와 동기회로(212)가 동일한 내부 클럭신호(ICLK)에 의해 제어됨으로 인해 변환오류가 발생될 수 있다. 도 2에 도시된 종래의 동기회로(212)는 서로 다른 경로를 통해 들어온 신호들을 비교하여 클럭에 동기시키는 기능을 한다.

<20> 도 3은 도 2의 회로를 사용하여 동기화하는 과정을 설명하기 위한 도면이고,

도 4는 도 2의 동기회로를 구체적으로 나타낸 도면이다. 도 3에서 MSB(Most Significant Bit; 최상위 비트)와 MSB-1은 도 2의 폴딩/인터플레이션 프로세스(202)와 비교기(206)를 통과한 신호(P01)라 하고, MSB-2는 플레쉬 프로세스(204)와 비교기(208)를 통과한 신호(P02)라 가정한다. 도 3에서, MSB와 MSB-1은 동기가 되어 있지만, MSB와 MSB-2 간 또는 MSB-1과 MSB-2간에는 동기가 이루어져 있지 않음을 알 수 있다. 이렇게 동기가 이루어져 있지 않으면, 디지털 변환한 결과의 데이터는 매우 큰 코드 글리치 오류(code glitch error)를 포함하게 된다. 이와 같이 동기오류($T3 - T2$)가 존재할 경우에는 정정할 영역(영역A; $T4 - T1$))을 설정하고 도 4에 도시된 바와 같은 동기회로에 의해 동기화가 행해진다. 도 4에서 신호(P01)는 MSB이고 신호(P02)는 MSB-2라 가정하고, 신호(SA)는 영역A 내에 있을 때는 "1"이고 영역A 내에 있지 않을 때는 "0"인 신호라 가정한다. MSB와 MSB-2를 동기화하는 경우에는, 영역A에서 MSB와 반전된 후 MSB와 같은 위상을 갖게 된 MSB-2가 OR 연산을 한다. OR 연산 결과 영역A 내에서 MSB와 MSB-2 중 에지 트리거(edge trigger)가 늦은 신호(MSB)는 에지 트리거가 빠른 신호(MSB-2)에 동기 된다. 이와 같이 하여 코드 글리치 오류는 정정된다.

<21> 그런데, 상술한 바와 같은 종래의 A/D 컨버터에서의 동기화하기 위해서는 정정할 영역을 설정해야 하고, 정정 영역은 좁기 때문에 넓은 범위의 오류정정은 불가능하다. 또한, 종래의 A/D 컨버터에서의 동기화 방법은 신호 자체가 정확한 신호를 찾아가는 것이 아니고 코드 글리치의 정정만을 하는 것이다.

【발명이 이루고자 하는 기술적 과제】

<22> 본 발명의 목적은 상술한 바와 같은 종래기술의 문제점을 해결할 수 있는 다중 프로세스 A/D 컨버터를 제공하는 것이다.

- <23> 본 발명의 다른 목적은 지연된 클럭신호를 사용하여 각 경로의 출력을 동기시키는 동기회로를 구비한 다중 프로세스 A/D 컨버터를 제공하는 것이다.
- <24> 본 발명의 또 다른 목적은 각 경로의 출력을 피드백시키고 위상을 검출함으로써 각 경로의 출력을 동기시키는 동기회로를 구비한 다중 프로세스 A/D 컨버터를 제공하는 것이다.
- <25> 본 발명의 또 다른 목적은 입력신호가 A/D 변환되는 과정에서 신호가 클럭신호에 동기되어 생기는 오류 자체를 정정함으로써 신호의 왜곡을 줄일 수 있는 다중 프로세스 A/D 컨버터를 제공하는 것이다.

【발명의 구성 및 작용】

- <26> 본 발명에 따른 다중 프로세스 A/D 컨버터는 각 경로의 출력을 피드백시키고 위상을 검출함으로써 위상차이에 따라 서로 다른 지연시간을 갖는 지연된 클럭신호들을 발생시키고, 이 지연된 클럭신호들을 사용하여 각 경로의 출력을 보정하는 것을 특징으로 한다.
- <27> 본 발명에 따른 다중 프로세스 A/D 컨버터는 외부 클럭신호를 수신하여 버퍼링하고 내부 클럭신호를 발생시키는 클럭버퍼, 아날로그 입력신호를 수신하여 신호처리를 하는 복수의 프로세스, 상기 복수의 프로세스 각각의 출력신호를 수신하고 지연된 클럭신호들 중 어느 하나의 제어하에 아날로그 신호를 기준전압과 비교하여 디지털 신호를 출력하는 복수의 비교기, 상기 복수의 비교기 각각의 출력신호를 수신하고 디지털 논리회로에 적합한 코드체계로 변환하는 복수의 디코더, 및 상기 복수의 비교기의 출력들과 상기 내부 클럭신호를 수신하고 상기 지연된 클럭신호들을 발생시키는 동기회로를 구비한다.

- <28> 상기 동기회로는 상기 복수의 비교기의 출력신호를 수신하여 위상을 검출하는 위상 검출기, 상기 위상 검출기의 출력신호를 수신하고 위상차이에 대응하여 프로세스의 수만큼 지연시간 제어신호들을 발생시키는 지연 제어회로, 및 상기 지연시간 제어신호들 중 어느 한 신호의 제어하에 상기 내부 클럭신호를 수신하고 일정시간 지연된 클럭신호를 발생시키는 복수의 지연체인을 구비한다.
- <29> 이하, 첨부된 도면을 참조하여 본 발명에 따른 다중 프로세스 A/D 컨버터에 대해 설명한다.
- <30> 도 5는 다중 프로세스로 구성된 본 발명에 따른 A/D 컨버터의 일실시예를 나타내는 블록도이다. 도 5의 A/D 컨버터는 N 개의 프로세스를 갖고 n 비트의 디지털 신호를 출력한다.
- <31> 도 5의 다중 프로세스 A/D 컨버터는 외부 클럭신호(CLK)를 수신하여 버퍼링하고 내부 클럭신호(ICLK)를 발생시키는 클럭버퍼(520), 아날로그 입력신호(SI)를 수신하여 신호처리를 하는 복수의 프로세스(502, 504, 506), 복수의 프로세스(502, 504, 506) 각각의 출력신호를 수신하고 지연된 클럭신호들(DCLK1 내지 DCLK(N)) 중 어느 하나의 제어하에 아날로그 신호를 기준전압과 비교하여 디지털 신호를 출력하는 복수의 비교기(508, 510, 512), 복수의 비교기(508, 510, 512) 각각의 출력신호를 수신하고 디지털 논리회로에 적합한 코드체계로 변환하는 복수의 디코더(514, 516, 518), 및 복수의 비교기(508, 510, 512)의 출력들(P01 내지 P0(N))과 내부 클럭신호(ICLK)를 수신하고 지연된 클럭신호들(DCLK1 내지 DCLK(N))을 발생시키는 동기회로(522)를 구비한다.
- <32> 이하, 도 5에 도시된 본 발명에 따른 다중 프로세스 A/D 컨버터의 동작에 대해 설명한다.

<33> 도 5의 다중 프로세스 A/D 컨버터는 아날로그 입력신호(SI)를 수신하고 복수의 프로세스(502, 504, 506)와 복수의 비교기(508, 510, 512)와 복수의 디코더(514, 516, 518)로 구성된 다중 경로를 통하여 디지털 신호로 변환하고 n 비트의 디지털 출력신호(DO[0:n-1])를 발생시킨다. 각 프로세스(502, 504, 506)에 연결된 비교기들(508, 510, 512)의 출력신호들(P01 내지 P0(N))은 A/D 변환된 디지털 신호들이다. 이 디지털 신호들은 동기회로(522)에 의해 피드백되고 서로 다른 지연시간을 갖는 지연된 클럭신호들(DCLK1 내지 DCLK(N))이 발생되며 각 프로세스에 대응하는 디코더(514, 516, 518)로 전송한다. 각 프로세스에 대응하는 디코더(514, 516, 518)들의 디지털 출력들(DO[0:i-1] 내지 DO[m:n-1])은 n 비트의 디지털 출력신호(DO[0:n-1])를 구성한다. 아날로그 입력신호(SI)가 서로 다른 경로를 지나는 동안에 서로 다른 시간지연과 서로 다른 신호왜곡이 발생한다. 동기회로(522)는 비교기들(508, 510, 512) 각각의 출력신호들(P01 내지 P0(N))을 수신하고 이 신호들의 위상을 검출하여 서로 다른 지연시간을 갖는 지연된 클럭신호들(DCLK1 내지 DCLK(N))을 발생시킨다. 이 지연된 클럭신호들(DCLK1 내지 DCLK(N))은 각 프로세스에 해당하는 비교기에 입력된다. 비교기들(508, 510, 512) 각각은 이 지연된 신호들 중 어느 하나의 제어하에 아날로그 신호를 일정한 기준전압과 비교하여 디지털 신호를 출력한다. 비교하는 순간에 신호는 지연된 클럭신호에 동기된다. 이와 같이, 서로 다른 지연시간을 갖는 지연된 클럭신호에 의해 각 경로에 있는 비교기를 제어함으로써 클럭신호에 동기되어 생기는 오류 자체가 정정되고 신호의 왜곡은 줄어든다.

- <34> 도 6은 폴딩/인터폴레이션 프로세스와 플래쉬 프로세스로 구성된 본 발명에 따른 다중 프로세스 A/D 컨버터의 일실시예를 나타내는 블록도로서, 동기회로의 구조가 구체적으로 나타나 있다.
- <35> 도 6의 다중 프로세스 A/D 컨버터는 외부 클럭신호(CLK)를 수신하여 버퍼링하고 내부 클럭신호(ICLK)를 발생시키는 클럭버퍼(650), 아날로그 입력신호(SI)를 수신하여 폴딩(folding)하고 보간법을 사용하여 위상이 다른 여러개의 아날로그 신호를 발생시키는 폴딩/인터폴레이션(folding/interpolation) 프로세스(610), 폴딩/인터폴레이션 프로세스(610)의 출력신호를 수신하고 지연된 클럭신호들(DCLK1)의 제어하에 아날로그 신호를 기준전압과 비교하여 디지털 신호를 출력하는 비교기(630), 아날로그 입력신호(SI)를 수신하여 신호처리를 하는 플래쉬 프로세스(620), 플래쉬 프로세스(620)의 출력신호를 수신하고 지연된 클럭신호들(DCLK2)의 제어하에 아날로그 신호를 기준전압과 비교하여 디지털 신호를 출력하는 비교기(640), 비교기들(630, 640)의 출력신호와 내부 클럭신호(ICLK)를 수신하고 디지털 논리회로에 적합한 코드체계로 변환하는 디코더(670), 및 비교기들(630, 640)의 출력신호(P01, P02)와 내부 클럭신호(ICLK)를 수신하고 지연된 클럭신호들(DCLK1, DCLK2)을 발생시키는 동기회로(660)를 구비한다.
- <36> 동기회로(660)는 비교기들(630, 640)의 출력신호(P01, P02)를 수신하여 위상을 검출하는 위상 검출기(668), 위상 검출기(668)의 출력신호(PD0)를 수신하고 위상차이에 대응하는 지연시간 제어신호(DC01, DC02)를 발생시키는 지연 제어회로(664), 지연시간 제어신호(DC01)의 제어하에 내부 클럭신호(ICLK)를 수신하고 일정시간 지연된 클럭신호(DCLK1)를 발생시키는 지연체인(662), 및 지연시간 제어신호(DC02)의 제어하에 내부 클

력신호(ICLK)를 수신하고 일정시간 지연된 클럭신호(DCLK2)를 발생시키는 지연체인(666)을 구비한다.

<37> 이하, 도 6에 도시된 본 발명에 따른 다중 프로세스 A/D 컨버터의 동작에 대해 설명한다.

<38> 도 6에 도시된 다중 프로세스 A/D 컨버터는 아날로그 입력신호(SI)를 수신하고 폴딩/인터폴레이션 프로세스(610)와 플래쉬 프로세스(620)의 두 경로를 통하여 디지털 신호로 변환하고 원하는 수의 비트를 갖는 디지털 출력신호(DO)를 발생시킨다. 도 6의 A/D 컨버터에서 아날로그 입력신호(SI)가 서로 다른 경로를 지나는 동안에 서로 다른 시간지연과 서로 다른 신호왜곡이 발생한다. 동기회로(660)는 비교기들(630, 640) 각각의 출력신호들(P01, P02)을 수신하고 이 신호들의 위상을 검출하여 서로 다른 지연시간을 갖는 지연된 클럭신호들(DCLK1, DCLK2)을 발생시킨다. 이 지연된 클럭신호들(DCLK1, DCLK2)은 각각 폴딩/인터폴레이션 프로세스(610)와 플래쉬 프로세스(620)에 연결된 비교기에 입력된다. 비교기들(630, 640) 각각은 이 지연된 신호들 중 어느 하나의 제어하에 아날로그 신호를 일정한 기준전압과 비교하여 디지털 신호를 출력한다. 비교하는 순간에 신호는 지연된 클럭신호에 동기된다. 이와 같이, 서로 다른 지연시간을 갖는 지연된 클럭신호에 의해 각 경로에 있는 비교기를 제어함으로써 클럭신호에 동기되어 생기는 오류 자체가 정정되고 신호의 왜곡은 줄어든다.

<39> 도 7은 도 6에 도시된 동기회로를 논리회로를 사용하여 구현한 일실시예를 나타내는 도면이다.

<40> 도 7에서, 참조번호 710은 위상 검출기를 나타내고 720은 시프트 레지스터로 구성된 지연 제어회로를 나타내고 730은 지연체인을 나타내고 740은 클럭버퍼를 나타낸다.

위상검출기(710)는 D 플립플롭들과 배타적 OR 회로(exclusive)(716)로 구성되어 있고, 지연 제어회로(720)는 NAND 회로들과 D 플립플롭들로 구성되어 있다. 지연체인(730)은 NAND 회로와 복수의 지연 셀(DC1 내지 DC8)로 구성되어 있다. 실제로 도 6에 도시된 본 발명의 실시예에 따른 다중 프로세스 A/D 컨버터를 구현하려면, 지연 제어회로(720)와 지연체인(730)은 각각 2 개씩 필요하다. 즉, 지연 제어회로(720)와 지연체인(730)은 프로세스의 수만큼 필요하다. 신호들(A, B)의 위상을 검출한 후 그 결과를 시프트 레지스터로 구성된 지연 제어회로에 전송한다. 위상 검출기가 위상차를 출력할 때마다 지연 제어회로는 지연 셀(DC1 내지 DC8)의 개수를 줄이거나 늘임으로써 클럭의 지연시간을 조절한다.

<41> 상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

【발명의 효과】

<42> 상술한 바와 같이, 본 발명에 따른 다중 A/D 컨버터에 의하면, 지연된 클럭신호를 사용하여 신호가 클럭신호에 동기되어 생기는 오류 자체를 정정함으로써 각 경로의 출력을 동기시키고 신호의 왜곡을 줄일 수 있다.

【특허청구범위】**【청구항 1】**

각 경로의 출력을 피드백시키고 위상을 검출함으로써 위상차이에 따라 서로 다른 지연시간을 갖는 지연된 클럭신호들을 발생시키고, 상기 지연된 클럭신호들을 사용하여 각 경로의 출력을 보정하는 것을 특징으로 하는 다중 프로세스 A/D 컨버터.

【청구항 2】

외부 클럭신호를 수신하여 버퍼링하고 내부 클럭신호를 발생시키는 클럭버퍼;

아날로그 입력신호를 수신하여 신호처리를 하는 복수의 프로세스;

상기 복수의 프로세스 각각의 출력신호를 수신하고 지연된 클럭신호들 중 어느 하나의 제어하에 아날로그 신호를 기준전압과 비교하여 디지털 신호를 출력하는 복수의 비교기;

상기 복수의 비교기 각각의 출력신호를 수신하고 디지털 논리회로에 적합한 코드 체계로 변환하는 복수의 디코더; 및

상기 복수의 비교기의 출력들과 상기 내부 클럭신호를 수신하고 상기 지연된 클럭신호들을 발생시키는 동기회로를 구비하는 것을 특징으로 하는 다중 프로세스 A/D 컨버터.

【청구항 3】

제 2 항에 있어서, 상기 동기회로는

상기 복수의 비교기의 출력신호를 수신하여 위상을 검출하는 위상 검출기;

상기 위상 검출기의 출력신호를 수신하고 위상차이에 대응하여 프로세스의 수만큼 지연시간 제어신호들을 발생시키는 지연 제어회로; 및

상기 지연시간 제어신호들 중 어느 한 신호의 제어하에 상기 내부 클럭신호를 수신하고 일정시간 지연된 클럭신호를 발생시키는 복수의 지연체인을 구비하는 것을 특징으로 하는 다중 프로세스 A/D 컨버터.

【청구항 4】

제 3항에 있어서, 상기 지연 제어회로는

시프트 레지스터로 구성된 것을 특징으로 하는 다중 프로세스 A/D 컨버터.

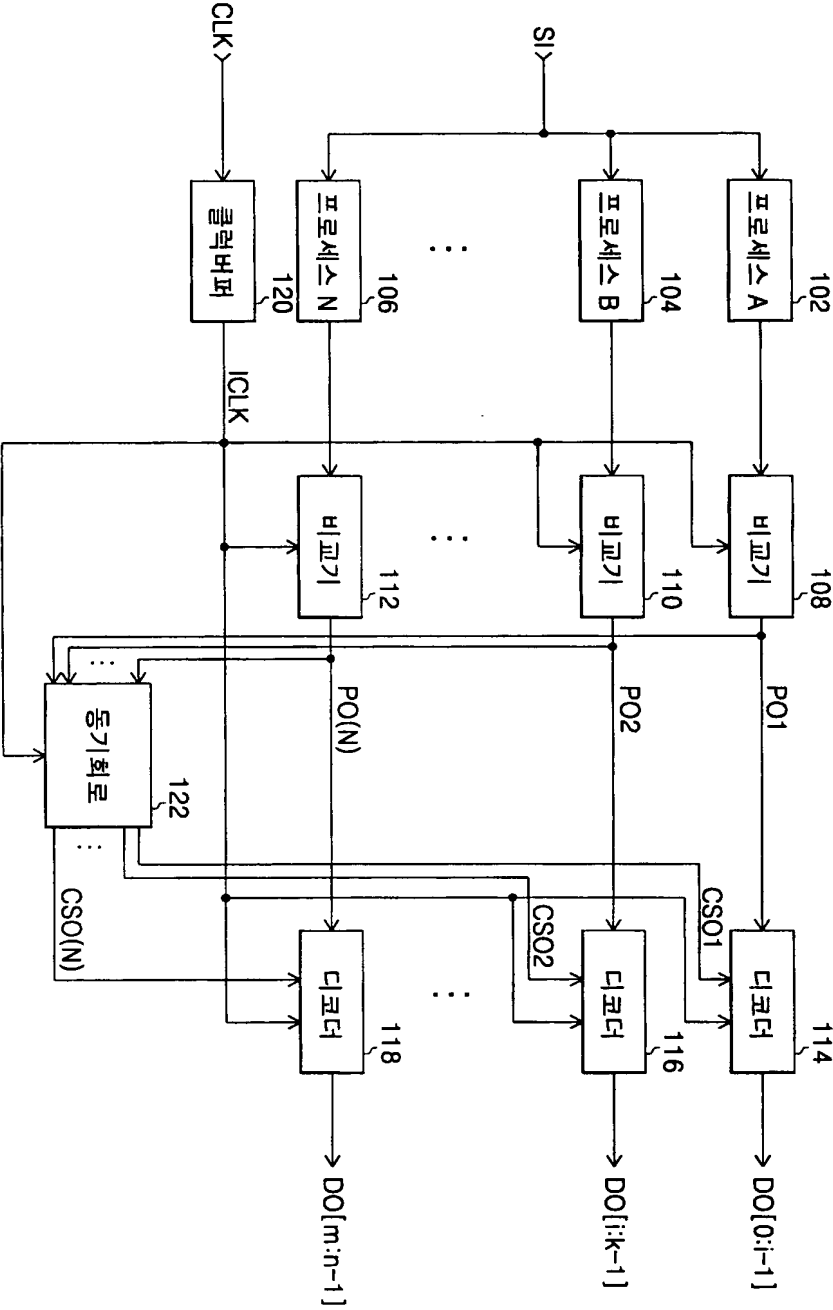
【청구항 5】

제 2 항 또는 제 3항에 있어서, 상기 복수의 프로세스는

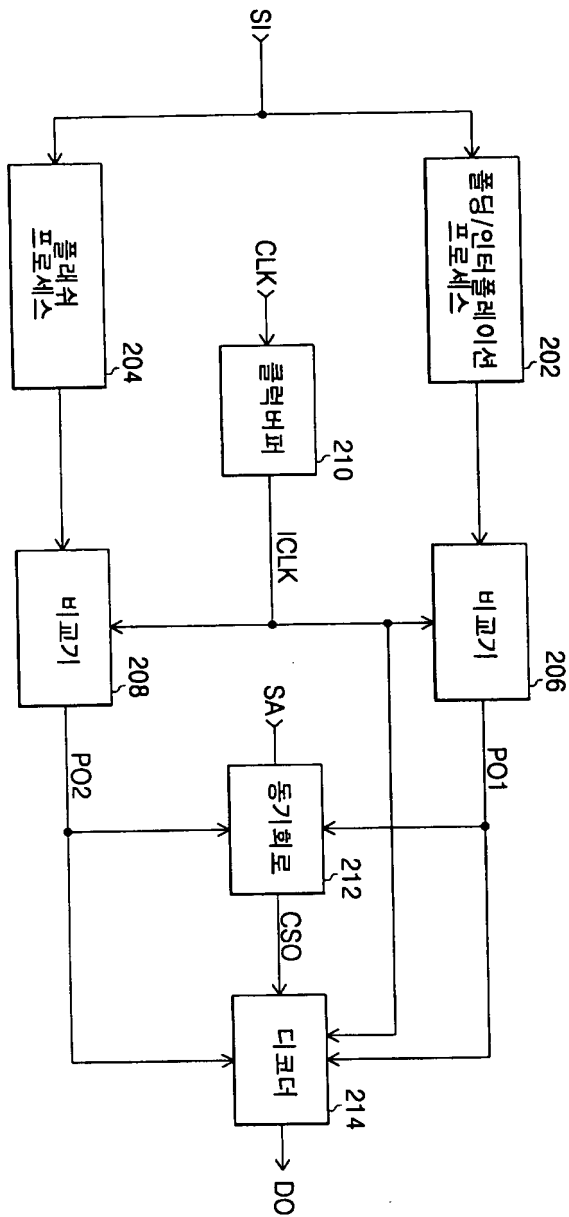
폴딩/인터폴레이션 프로세스 또는 플래쉬 프로세스로 구성된 것을 특징으로 하는 다중 프로세스 A/D 컨버터.

【도면】

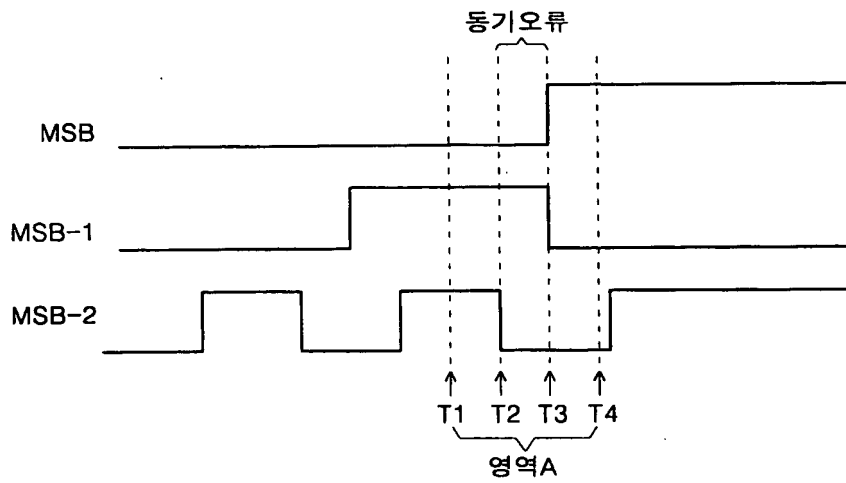
【도 1】



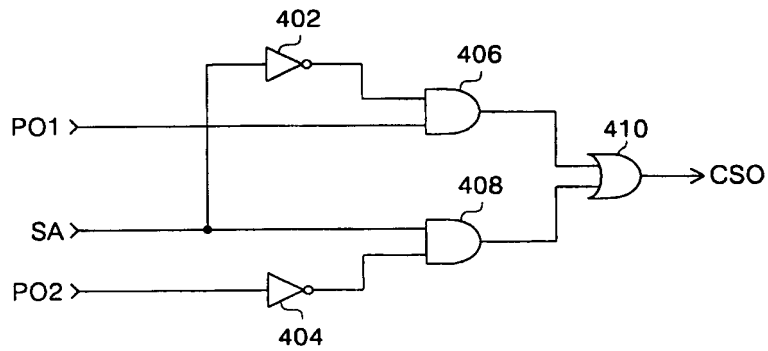
【도 2】



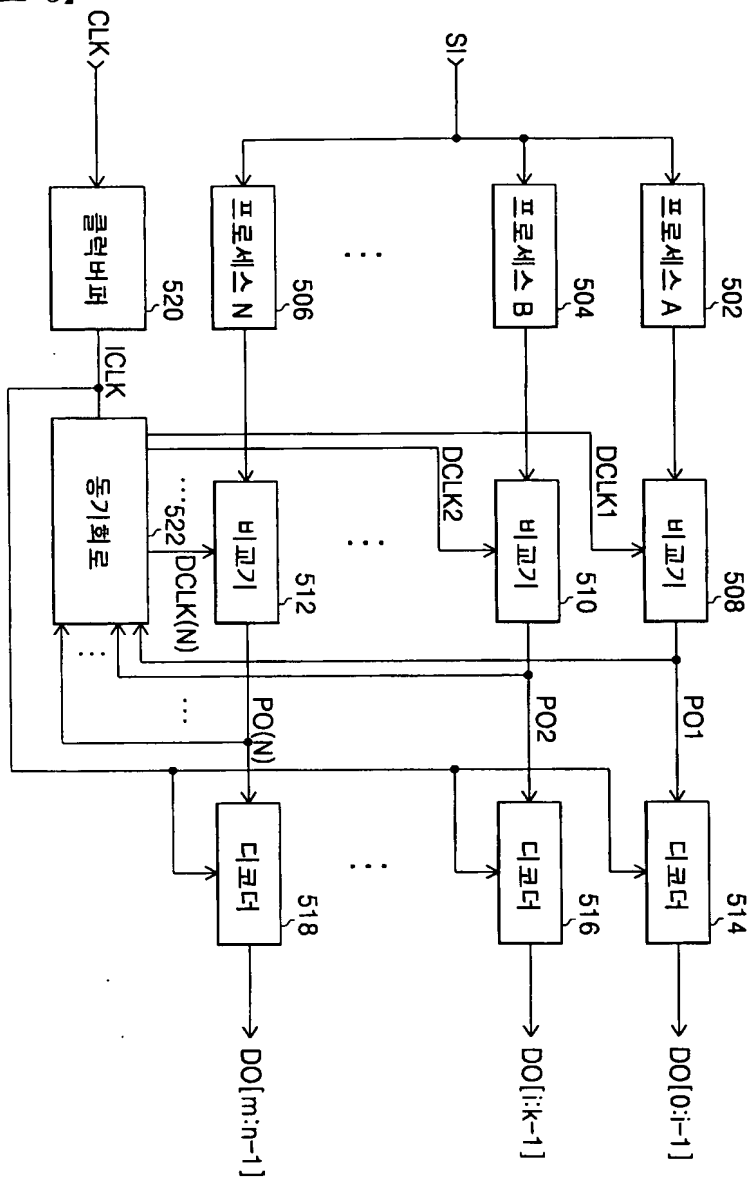
【도 3】



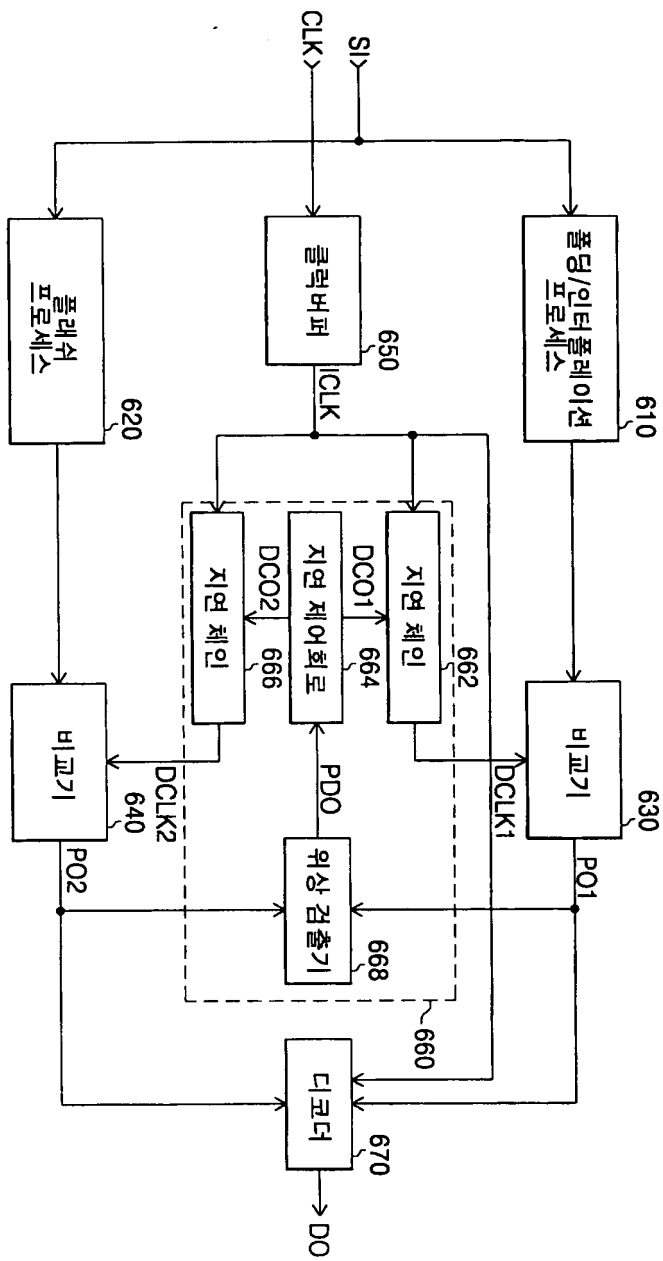
【도 4】



【도 5】



【도 6】



【도 7】

